

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-85833

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/48				
H 0 4 Q 3/52	1 0 1 Z	9076-5K		
		8529-5K	H 0 4 L 11/ 20	Z

審査請求 未請求 請求項の数6(全 13 頁)

(21)出願番号 特願平4-235689

(22)出願日 平成4年(1992)9月3日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 源田 浩一

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 土井 幸浩

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 遠藤 乾一

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

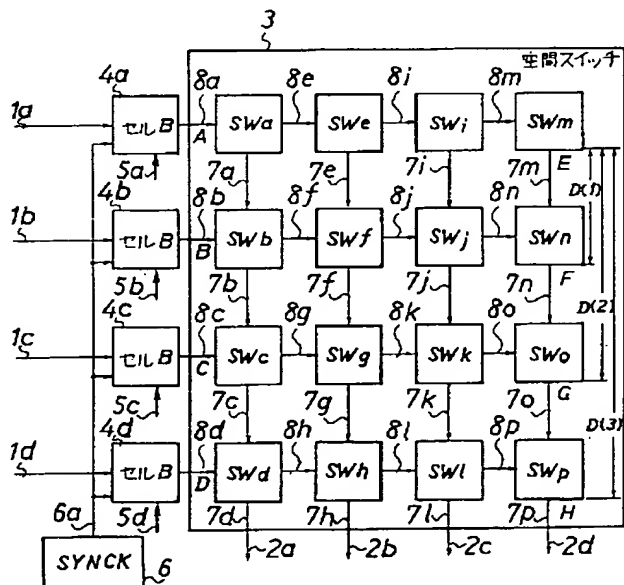
(74)代理人 弁理士 磯村 雅俊

(54)【発明の名称】 ATMスイッチ

(57)【要約】

【目的】 セルの衝突を避けるためのセルバッファでのガードタイムを不要とし、ATMスイッチのスイッチスループットを向上させる。

【構成】 入回線毎に配置され、入回線から入力され一時蓄積したセルを所定の周期のタイミングで出力するセルバッファと、格子状に配置された叉点スイッチで、入回線および出回線との間を接続し、セルバッファからのセルの出回線への出力先の切り替えを行なう空間スイッチとを備えたATMスイッチにおいて、各セルバッファからの所定の周期でのセルの出力を、予め設定されるそれぞれ異なる時間だけ遅らせて、空間スイッチでのセル衝突を防止するセル出力遅延制御部を設けることを特徴とするATMスイッチ。



1

【特許請求の範囲】

【請求項1】 複数の入回線と出回線とを収容し、上記入回線毎に配置され、該入回線から入力され一時蓄積したセルを所定の周期のタイミングで出力するセルバッファと、格子状に配置された又点スイッチで、上記入回線および出回線との間を接続し、上記セルバッファから出力されるセルのヘッダ情報に基づき、該セルの上記出回線への出力先の切り替えを行なう空間スイッチとを備えたATMスイッチにおいて、上記各セルバッファからの上記所定の周期でのセルの出力を、予め設定されるそれぞれ異なる時間だけ遅らせて、上記空間スイッチでのセル衝突を防止するセル出力遅延制御手段を設けることを特徴とするATMスイッチ。

【請求項2】 請求項1に記載のATMスイッチにおいて、上記セル出力遅延制御手段で制御する上記各セルバッファからのセルの出力遅延時間は、最長経路のセルバッファと空間スイッチ間で要するセル転送時間に対応して設定されることを特徴とするATMスイッチ。

【請求項3】 請求項1、もしくは、請求項2のいずれかに記載のATMスイッチにおいて、上記セル出力遅延制御手段を、上記セルバッファ内に設けることを特徴とするATMスイッチ。

【請求項4】 請求項1から請求項3のいずれかに記載のATMスイッチにおいて、上記セル出力遅延制御手段は、上記所定の周期で出力されるセルを、予め設定されるそれぞれ異なる時間だけ蓄積して、上記セルバッファからの出力を遅らせることを特徴とするATMスイッチ。

【請求項5】 請求項1から請求項3のいずれかに記載のATMスイッチにおいて、上記セル出力遅延制御手段は、上記所定の周期のタイミングを、予め設定されるそれぞれ異なる時間だけ遅らせて、上記セルバッファからの出力を遅らせることを特徴とするATMスイッチ。

【請求項6】 請求項1から請求項3のいずれかに記載のATMスイッチにおいて、上記セル出力遅延制御手段は、上記セルバッファ毎に異なる値で予め設定される時間を計数して、各々のセルバッファの上記セルの出力開始タイミングを決定し、上記セルバッファからの出力を遅らせることを特徴とするATMスイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、広帯域ISDN（サービス統合デジタル通信網：Integrated Services Digital Network）におけるATM（非同期転送モード：Asynchronous Transfer Mode）の交換ノードで用いるATMスイッチに係わり、特に、高速なATMセルの交換動作を必要とするATM交換ノードに用いるのに好適なATMスイッチに関するものである。

【0002】

2

【従来の技術】 広帯域ISDN（Integrated Services Digital Network、総合デジタル通信網）における情報の伝達方式に、例えば、日経BP社発行の「日経コミュニケーション別冊ISDN活用の手引き」（1988年）の第168頁から第177頁に記載のように、ATMと呼ばれるものがある。このATMは、多種多様な情報を、「セル」と呼ばれるヘッダ付きで短い固定長のブロックに分割し、それを単位に多重化して伝送するものであり、従来の回線交換とパケット交換の利点を合わせ持ち、かつ、超高速伝送が可能であり、動画像の伝送にも適用できる。

【0003】 このようなATMでの通信では、各ATM交換ノードにおいて、転送されてきたATMセルのヘッダに書き込まれた論理チャネル番号に基づいて、次の転送先の新しいチャネル番号と出回線（番号）を決める。各ATM交換ノードは、ATMスイッチを有し、このATMスイッチで、転送されてきたATMセルのヘッダを、このラベル変換テーブルに従って変換して出力する。

【0004】 図12は、従来のATMスイッチの構成を示すブロック図である。本図において、1a～1dは入回線であり、2a～2dは出回線、12a～12dは、それぞれ、入回線1a～1d上に配置されるセルバッファ、3は、又点スイッチSWa～SWpを格子状に接続した空間スイッチ、6は、セル読み出し同期信号を発生する同期信号発生回路、6aは、同期信号発生回路6とセルバッファ12a～12dとを接続する制御線、7a～7p、および、8a～8pは、又点スイッチSWa～SWp間を接続する内部リンク、A～Dは、セルバッファ12a～12dから送出されるセル、E～Hは、又点スイッチSWm～SWpから送出されるセルである。

【0005】 セルバッファ12a～12dは、それぞれ、入回線1a～1dから入力されるセルを一時蓄積し、同期信号発生回路6から、制御線6aを介して、全てのセルバッファ12a～12dへ共通に入力される一定周期（ t_o ）のセル読み出し同期信号を基に、蓄積したセルを、空間スイッチ3へ向けて出力する。セルバッファ12a～12dから出力されたセルは、空間スイッチ3の各又点スイッチSWa～SWpにおいてヘッダ部の出回線番号を判定され、又点スイッチSWa～SWpの配置された出回線番号と、ヘッダに付与された出回線番号とが一致した又点スイッチSWa～SWpにおいて出回線2a～2dに接続される。このようにして、スイッチング動作が行なわれる。

【0006】 しかし、セルバッファ12aから送出されるセルが出回線2dに出力される時間は、セルバッファ12dから送出されるセルが出回線2dに出力される時間に対して、通過する又点スイッチの数の違いから、図中EからHまでの通過時間D（3）だけ長い時間となる。同様に、セルバッファ12aから送出されるセ

ルが出回線2dに出力される時間は、セルバッファ12cから送出されるセルに対して、図中EからGまでの通過時間D(2)だけ、また、セルバッファ12bから送出されるセルに対して、図中EからFまでの通過時間D(1)だけ長い時間を要する。

【0007】図13は、図12におけるATMスイッチのセルの送出動作を示すタイムチャートである。周期

(1)で、図12のセルバッファ12aからセルaが送出され、周期(2)で、図12のセルバッファ12dからセルdが送出され、共に、図12の出回線2dを目指した場合の動作タイミングを示しており、図中A、Dは、図12のセルバッファ12a、12dからの出力セル、Hは、図12の又点スイッチSWpからの出力セルである。周期(1)で図12のセルバッファ12aから送出されるセルaは、図12の又点スイッチSWmの出力までに、時間 α を要し、また、図12の又点スイッチSWmの出力Eから、図12の又点スイッチSWpの出力Hまでに、時間D(3)を要する。周期(2)で図12のセルバッファ12dから送出されるセルdは、図12の又点スイッチSWpの出力までに、時間 α を要する。この時、セルaとセルdとは、図中の斜線領域において衝突する。このような衝突を避けるために、次の図14に示す技術がある。

【0008】図14は、図13におけるセルの衝突を回避するための動作を示すタイムチャートである。図12の又点スイッチSWpまでの最長経路となる図12のセルバッファ12aから出力されるセルaが、図12の又点スイッチSWpから出力された後に、図12の又点スイッチSWpまでの最短経路となる図12のセルバッファ12dから出力されるセルdが、図12の又点スイッチSWpから出力されるようにするために、各セルバッファにおいて、セル送出を行なわない時間であるガードタイムを設ける。このことにより、出回線上の通過又点スイッチ数の違いから生じる遅延時間差を補償し、セル衝突を回避する。

【0009】しかし、この時、セル転送周期 t_o は、セルバッファからのセル送出時間 T_c と、最大遅延時間差D(3)との和となる。ATMスイッチに收容される回線速度の高速化に伴い、セル送出時間 T_c の絶対時間は短くなるため、遅延時間差D(3)は、見かけ上大きくなる。このため、従来、ATMスイッチにおいては、ATMスイッチに收容される回線速度の高速化に連れて、回線の使用効率の悪化が顕著となり、スイッチスループットの低下が大きくなるという問題があった。

【0010】

【発明が解決しようとする課題】解決しようとする問題は、従来の技術では、セルの衝突を避けるために、出回線上の通過又点スイッチ数の違いから生じる遅延時間差を補償しており、回線の高速化に伴うスイッチのスループットの低下を回避することができない点である。本

発明の目的は、これら従来技術の課題を解決し、セルの衝突を避けるために必要であった、出回線上の通過又点スイッチ数の違いから生じる遅延時間差の補償を不要とし、セルバッファからセルを連続して出力して、高いスイッチスループット特性を得ることができ、回線の高速化を可能とするATMスイッチを提供することである。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明のATMスイッチは、(1)複数の入回線と出回線とを收容し、入回線毎に配置され、この入回線から入力され一時蓄積したセルを所定の周期のタイミングで出力するセルバッファと、格子状に配置された又点スイッチで、入回線および出回線との間を接続し、セルバッファから出力されるセルのヘッダ情報に基づき、このセルの出回線への出力先の切り替えを行なう空間スイッチとを備えたATMスイッチにおいて、各セルバッファからの所定の周期でのセルの出力を、予め設定されるそれぞれ異なる時間だけ遅らせて、空間スイッチでのセル衝突を防止するセル出力遅延制御部を設けることを特徴とする。また、(2)上記(1)に記載のATMスイッチにおいて、セル出力遅延制御部で制御する各セルバッファからのセルの出力遅延時間は、最長経路のセルバッファと空間スイッチ間で要するセル転送時間に対応して設定されることを特徴とする。また、(3)上記

(1)、もしくは、(2)のいずれかに記載のATMスイッチにおいて、セル出力遅延制御部をセルバッファ内に設けることを特徴とする。また、(4)上記(1)から(3)のいずれかに記載のATMスイッチにおいて、セル出力遅延制御部は、所定の周期で出力されるセルを、予め設定されるそれぞれ異なる時間だけ蓄積して、セルバッファからの出力を遅らせることを特徴とする。また、(5)上記(1)から(3)のいずれかに記載のATMスイッチにおいて、セル出力遅延制御部は、所定の周期のタイミングを、予め設定されるそれぞれ異なる時間だけ遅らせて、セルバッファからの出力を遅らせることを特徴とする。また、(6)上記(1)から(3)のいずれかに記載のATMスイッチにおいて、セル出力遅延制御部は、セルバッファ毎に異なる値で予め設定される時間を計数して、各々のセルバッファのセルの出力開始タイミングを決定し、セルバッファからの出力を遅らせることを特徴とする。

【0012】

【作用】本発明においては、空間スイッチのセル転送において、各セルバッファのセル転送を、各セルバッファ毎に異なるセル転送周期で行ない、セル衝突を回避する。このことにより、セルバッファで、セル送出を行なわないガードタイムを設ける必要が無く、セルバッファから、セルを連続して出力することが可能となり、高いスイッチスループット特性を得ることができる。

【0013】

【実施例】以下、本発明の実施例を、図面により詳細に説明する。図 2 は、本発明の ATM スwitch の本発明に係わる構成の第 1 の実施例を示すブロック図である。本第 1 の実施例の ATM スwitch は、入回線毎にセルバッファを配置し、又点スイッチを格子状に配置した空間スイッチにより、セルバッファと出回線との間を接続したものであり、入回線と出回線が「4」である。

【0014】本図において、1a~1d は入回線、2a~2d は出回線、3 は、又点スイッチ SWa~SWp を接続した空間スイッチ、4a~4d は、それぞれ、入回線 1a~1d に配置したセルバッファ（図中、セル B と記載）、5a~5d は、本発明に係わり、各セルバッファ 4a~4d のセル出力を遅延させる信号が入力される制御線、6 は、セル読み出し同期信号を発生する同期信号発生回路（図中、SYNCK と記載）、6a は、同期信号発生回路 6 と全セルバッファ 4a~4d とを接続する制御線、7a~7p と 8a~8p は、又点スイッチ SWa~SWp 間を接続する内部リンク、そして、A~D は、セルバッファ 4a~4d から送出される出力セルで、E~H は、又点スイッチ SWm~SWp から送出される出力セルである。

【0015】セルバッファ 4a~4d は、それぞれ、入回線 1a~1d から入力されるセルを一時蓄積する。そして、同期信号発生回路 6 から制御線 6a を介して、周期 t_o で全セルバッファ 4a~4d に共通に供給されるセル読み出し同期信号を基準として、蓄積したセルを、空間スイッチ 3 へ向けて送出するが、本実施例の ATM スwitch においては、制御線 5a~5d を介して入力される信号を基に、各セルバッファ 4a~4d で予め設定される遅延値から定まる遅延時間の後に送出する。

【0016】このようにして、セルバッファ 4a~4d から出力されたセルは、空間スイッチ 3 の又点スイッチ SWa~SWp において、ヘッダ部の出回線番号を判定され、又点スイッチ SWa~SWp の配置される出回線番号とヘッダに付与された出回線番号とが一致した又点スイッチにおいて出回線に接続される。

【0017】図 1 は、図 2 におけるセルバッファの本発明に係わる構成の第 1 の実施例を示すブロック図である。本図における第 1 の実施例のセルバッファ 20 は、図 2 におけるセルバッファ 4a の第 1 の構成例を示すものであり、入力されたセルを一時蓄積するメモリ回路 21 と、本発明に係わり、セルの出力を、基準の時間よりも所定の時間だけ遅らせる遅延回路 22、および、これらの回路を接続する制御線 23 により構成され、図 2 における他のセルバッファ 4b~4d も同様な構成である。

【0018】以下、セルバッファ 20 の動作を説明する。メモリ回路 21 は、入回線 1a を介して入力されるセル CELI を蓄積し、制御線 6a を介して入力されたセル読み出し同期信号 FST を、セル読み出しの開始信

号とし、制御線 23 を介して、セル cel を送出する。遅延回路 22 は、制御線 5a を介して入力される遅延値 DST を基に、遅延時間が予め設定されており、この遅延時間を、制御線 23 を介して入力される信号に付与し、この遅延を付与した信号を、内部リンク 8a を介して出力する。この遅延回路 22 から出力される信号が、セルバッファ 20 からの出力セル CEL0 となる。このようにして、本実施例のセルバッファ 20 では、メモリ回路 21 に入力されるセル読み出し同期信号 FST と比較して、制御線 5a を介して設定された遅延時間分の後に、出力セル CEL0 を送出する。

【0019】図 3 は、図 2 におけるセルバッファの本発明に係わる構成の第 2 の実施例を示すブロック図である。本第 2 の実施例のセルバッファ 30 は、図 2 におけるセルバッファ 4a の第 2 の構成例を示すものであり、入力されたセルを一時蓄積するメモリ回路 31 と、本発明に係わり、セルの出力を、基準の時間よりも所定の時間だけ遅らせる遅延回路 32、および、これらの回路を接続する制御線 33 により構成され、図 2 における他のセルバッファ 4b~4d も同様な構成である。

【0020】以下、セルバッファ 30 の動作を説明する。遅延回路 32 は、制御線 5a を介して入力される遅延値 DST を基に、遅延時間が予め設定されており、この遅延時間を、制御線 6a を介して入力されたセル読み出し同期信号 FST に付与し、この遅延を付与したセル読み出し同期信号 FST' を、制御線 33 を介して、メモリ回路 31 に出力する。メモリ回路 31 は、入回線 1a を介して入力されるセル CELI を蓄積し、制御線 33 を介して入力されたセル読み出し同期信号 FST' をセル読み出しの開始信号として、出力セル CEL0 を、内部リンク 8a を介して出力する。

【0021】このように、メモリ回路 31 が、遅延回路 32 により所定の遅延時間分だけ遅らせられたセル読み出し同期信号 FST' を基に、セルの送出を行なうことになり、本実施例のセルバッファ 30 は、制御線 5a を介して設定された遅延時間後に、出力セル CEL0 を送出することとなる。

【0022】図 4 は、図 2 における ATM スwitch の本発明に係わるセルの送出動作を示すタイムチャートである。本実施例は、セルバッファからセルの送出される周期をセル転送周期とし、その時間を t_o とし、周期

(1) には、図 2 のセルバッファ 4a からセル a が、周期 (2) には、図 2 のセルバッファ 4b からセル b が、周期 (3) には、図 2 のセルバッファ 4c からセル c が、周期 (4) には、図 2 のセルバッファ 4d からセル d が送出され、全てのセル a~d が、図 2 の出回線 2d を目指した場合の動作タイミングを示している。図中、A~D は、図 2 のセルバッファ 4a~4d からの出力セル、E~H は、図 2 の又点スイッチ SWm~SWp からの出力セルを示す。

10

20

30

40

50

【0023】図2のセルバッファ4a~4dにおいて、図2の制御線5a~5dを介して外部から設定される遅延時間は、図2のセルバッファ4aを基準とし、例えば、図2のセルバッファ4bは、出力セルFの出力セルEに対する遅延時間D(1)、また、図2のセルバッファ4cは、出力セルGの出力セルEに対する遅延時間D(2)、また、図2のセルバッファ4dは、出力セルHの出力セルEに対する遅延時間D(3)とする。このように遅延時間を設定することにより、図2の又点スイッチSWa~SWpから出力されるセルの位相を、セルを送出したセルバッファによらず一定とすることが可能となる。このことにより、各セルバッファからガードタイムを設けること無く連続してセルを送出した場合においても、異なるセル転送周期でのセル衝突が回避でき、セル転送周期を、セルバッファからのセル送出時間Tcと同一とすることが可能となり、高いスイッチスループット特性を得ることができる。

【0024】図5は、本発明のATMスイッチの本発明に係わる構成の第2の実施例を示すブロック図である。本第2の実施例のATMスイッチは、図2における第1の実施例のATMスイッチと同様に、入回線毎にセルバッファを配置し、又点スイッチを格子状に配置した空間スイッチにより、セルバッファと出回線との間を接続したものであり、入回線と出回線が「4」の場合である。

【0025】本図において、1a~1dは入回線、2a~2dは出回線、3は、又点スイッチSWa~SWpを接続した空間スイッチ、9a~9dは、本発明に係わり、それぞれ、入回線1a~1dに配置したセルバッファ、5a~5dは、各セルバッファ9a~9dに、外部から接続される制御線、6は、セル読み出し同期信号を発生する同期信号発生回路(図中、SYNCKと記載)、6aは、同期信号発生回路6と全セルバッファ9a~9dとを接続する制御線、10は、本発明に係わり、基準クロックを発生する基準クロック発生回路(図中、STDCKと記載)、11は、基準クロック発生回路10とセルバッファ9a~9dとを接続する制御線、そして、7a~7pと8a~8pは、又点スイッチSWa~SWp間を接続する内部リンク、A~Dは、セルバッファ4a~4dから送出される出力セルであり、E~Hは、又点スイッチSWm~SWpから送出される出力セルである。

【0026】セルバッファ9a~9dは、それぞれ、入回線1a~1dから入力されるセルを一時蓄積し、かつ、制御線5a~5dを介して入力される遅延値を有する。そして、基準クロック発生回路10から、制御線11を介して、周期Tbで全セルバッファに共通に供給される基準クロックが入力される。さらに、同期信号発生回路6から、制御線6aを介して、周期toで全セルバッファ9a~9dに共通に供給されるセル読み出し同期信号を基準として、制御線5a~5dを介して入力され

た遅延値に対応する基準クロック周期の後に、蓄積したセルを、空間スイッチ3へ送出する。

【0027】このようにしてセルバッファ9a~9dから出力されたセルは、空間スイッチ3の又点スイッチSWa~SWpにおいて、ヘッダ部の出回線番号が判定され、又点スイッチSWa~SWpの配置される出回線番号とヘッダに付与された出回線番号とが一致する又点スイッチにおいて出回線に接続される。

【0028】図6は、図5におけるセルバッファの本発明に係わる構成の第1の実施例を示すブロック図である。本第1の実施例のセルバッファ60は、図5におけるセルバッファ9aの第1の構成例を示すものであり、入力されたセルを一時蓄積するメモリ回路61と、本発明に係わり、制御線11を介して入力される基準クロックCKBに基づき、メモリ回路61から制御線64を介して出力されたセルcelを、順次にずらして出力するシフトレジスタ62と、シフトレジスタ62により出力されたセルから、制御線5aを介して入力される設定遅延量DSTに対応するセルを選択して出力するセクタ63とにより構成され、図5における他のセルバッファ9b~9dも同様な構成である。

【0029】以下、セルバッファ60の動作を説明する。メモリ回路61は、入回線1aを介して入力されるセルCELLを蓄積し、制御線6aを介して入力される周期toのセル読み出し同期信号FSTに基づき、制御線64を介してシフトレジスタ62に、セルcelを送出する。シフトレジスタ62はN個のラッチ回路を従属に接続した回路であり、制御線64を介して入力されるセルcelは、制御線11を介して入力される周期Tbの基準クロックCKBの1周期毎に、ラッチ回路を1つずつ通過させられる。このように、1個のラッチ回路を通過させることにより、各セルを、基準クロックCKBの周期Tbずつ遅延させることができる。シフトレジスタ62で、N個のラッチ回路を通過させることにより、 $(N-1) \times Tb$ の遅延量を有するセルCel(N-1)を生成し、それぞれのラッチ回路の出力Cel0~Cel(N-1)を、制御線65~68を介して、セクタ63に出力する。

【0030】セクタ63は、制御線5aを介して入力される設定遅延量DSTを基に予め遅延量が設定されており、制御線65~68を介して、N個の遅延を付与されたセルCel0~Cel(N-1)を入力し、設定遅延量DSTに対応する遅延量を有した1つのセルCel(m) ($0 \leq m \leq N-1$)を選択し、選択したセルCel(m)を内部リンク4aを介して出力する。このセルCel(m)が、セルバッファ60からの出力セルCELOとなる。この出力セルCELOは、メモリ回路61から出力されたセルcelと比較して、 $m \times Tb$ の遅延量を有し、このようにして、本実施例のセルバッファ60は、セルの送出時間を制御することができる。

【0031】図7は、図6におけるセルバッファの本発明に係わるセルの送出手動作を示すタイムチャートである。本図において、FSTはセル読み出し同期信号であり、Celは図6におけるメモリ回路61から読み出されるセル、CKBは、図6のシフトレジスタ62に入力される基準クロック、Ce(0)~Ce(4)は、図6におけるシフトレジスタ62からの出力セル、CELOは、図6におけるセルバッファ60からの出力セルであり、各セルの斜線部分のビットは、セル先頭ビットである。本実施例は、設定遅延量(DST)を、基準クロックCKBの1周期であるTbとし、また、図6のシフトレジスタ62により生成可能な遅延時間を0、1・Tb、2・Tb、3・Tb、4・Tbとした場合であり、このような条件では、図6のセクタ63により、図6のシフトレジスタ62からの出力セルCELOとして、セルCe(1)が選択される。このようにして、図6におけるセルバッファ60からのセルCELOの出力を、基準クロックCKBの1周期に相当するTb時間だけ遅延させることができる。

【0032】図8は、図5におけるセルバッファの本発明に係わる構成の第2の実施例を示すブロック図である。本第2の実施例のセルバッファ80は、図5におけるセルバッファ9aの第2の構成例を示すものであり、入力されたセルを一時蓄積するメモリ回路81と、本発明に係わり、制御線11を介して入力される基準クロックCKBに基づき、制御線6aを介して入力されるセル読み出し同期信号FSTを、順次にずらして出力するシフトレジスタ82と、シフトレジスタ82からのセル読み出し同期信号FSTの中で、制御線5aを介して入力される設定遅延量DSTに対応するものを選択して出力するセクタ83とにより構成され、図5における他のセルバッファ9b~9dも同様な構成である。

【0033】以下、セルバッファ80の動作を説明する。シフトレジスタ82はN個のラッチ回路を従属に接続した回路であり、制御線6aを介して入力される周期Toのセル読み出し制御信号FSTは、制御線11を介して入力される周期Tbの基準クロックCKBの1周期毎に、ラッチ回路を1つずつ通過させられる。このように、1個のラッチ回路を通過させることにより、セル読み出し同期信号FSTを、基準クロックCKBの周期Tbずつ遅延させることができる。そして、N個のラッチ回路を通過させることにより、(N-1)×Tbの遅延量を有するセル読み出し同期信号Fr(N-1)を生成し、それぞれのラッチ回路の出力Fr(0)~Fr(N-1)を、制御線85~88を介して、セクタ83に出力する。

【0034】セクタ83は、制御線5aを介して入力される設定遅延量DSTを基に予め遅延量が設定されており、制御線85~88を介して入力されたN個の、それぞれ遅延を付与されたセル読み出し同期信号Fr

(0)~Fr(N-1)から、設定遅延量DSTに対応する遅延量を有した1つのセル読み出し同期信号Fr(m)(0≤m≤N-1)を選択し、この選択したセル読み出し同期信号Fr(m)を、制御線84を介して、メモリ回路81に出力する。メモリ回路81は、入力回路1aから入力されるセルCELIを蓄積し、セクタ83により選択され、制御線84を介して入力されたセル読み出し同期信号Fr(m)を、セル読み出し開始の信号として、内部リンク4aを介して出力セルCELOを送出する。

【0035】このように、セクタ83から出力されるセル読み出し同期信号Fr(m)は、シフトレジスタ82に入力されるセル読み出し同期信号FSTと比較して、m×Tbの遅延量を有し、このセル読み出し同期信号Fr(m)を、セル読み出しの開始信号とすることにより、セルのバッファからのセル送出手動作を制御することができる。

【0036】図9は、図8におけるセルバッファの本発明に係わるセルの送出手動作を示すタイムチャートである。本図において、FST、および、CKBは、図8のシフトレジスタ82に入力されるセル読み出し同期信号と基準クロックであり、Fr(0)~Fr(4)は、図8のシフトレジスタ82からの出力、また、CELOは、図8におけるセルバッファ60からの出力であり、各セルの斜線部分のビットはセル先頭ビットである。本実施例は、設定遅延量(4ST)を、基準クロックCKBの1周期であるTbとし、図8のシフトレジスタ82により生成する遅延量を0、1・Tb、2・Tb、3・Tb、4・Tbとした場合である。このような条件では、図8のセクタ83により、図8のシフトレジスタ82の出力からFr(1)が選択され、このFr(1)を基に、図8のメモリ回路81からセルCELOが出力される。このようにして、図8におけるセルバッファ80からのセル出力を、基準クロックCKBの1周期に相当するTb時間だけ遅延させることができる。

【0037】図10は、図5におけるセルバッファの本発明に係わる構成の第3の実施例を示すブロック図である。本第3の実施例のセルバッファ100は、図5におけるセルバッファ9aの第3の構成例を示すものであり、入力されたセルを一時蓄積するメモリ回路101と、本発明に係わり、制御線6aを介して入力されるカウント有効同期信号FCTに基づき、制御線11を介して入力される基準クロックCKBをカウント(計数)するカウンタ102と、カウンタ102からのカウント値を、制御線5aを介して入力される設定遅延量DSTに基づき比較する比較回路103とにより構成され、図5における他のセルバッファ9b~9dも同様な構成である。

【0038】以下、セルバッファ100の動作を説明する。カウンタ102は、制御線11を介して基準クロック

クCKBを、また、制御線6aを介してカウント有効同期信号FCTを入力し、カウント有効同期信号FCTの立上りから、基準クロックCKBの入力数のカウントを開始し、そのカウント値NUMを、制御線104を介して比較回路103に出力する。尚、カウンタ102は、カウント値が、カウンタ102の有する最大値に到達したとき、カウント値をリセットする。

【0039】比較回路103は、制御線104を介してカウンタ102からのカウント値NUMを、また、制御線5aを介して設定遅延量DSTを入力し、両値の比較を行なう。この設定遅延量DSTは、メモリ回路101からセルを送出する時間D_oを示し、予め、比較回路103内に設定される。そして、カウント値NUMが、設定遅延量DSTで定まる時間D_oと一致したとき、制御線105を介してメモリ回路101に、セル読み出し同期信号FSTを出力する。メモリ回路101は、入回線1aを介して入力されるセルCELIを蓄積し、制御線105を介して入力されたセル読み出し信号FSTを、セル読み出しの開始信号として、内部リンク4aを介して、出力セルCELOを送出する。

【0040】比較回路103から出力されるセル読み出し同期信号FSTは、カウンタ102に入力されるカウント有効同期信号FCTと比較して時間D_oだけ遅延して出力されているため、セル読み出し同期信号FSTを基に、メモリ回路101からセルCELOを読み出すことにより、セルバッファ100からのセル送出時間を遅延させることができる。

【0041】図11は、図10におけるセルバッファの本発明に係わるセルの送出動作を示すタイムチャートである。本図において、FCT、および、CKBは、それぞれ、図10のカウンタ102に入力されるカウント有効同期信号と基準クロックであり、NPO1、NPO1は、図10のカウンタ102から出力される2ビットで表したカウント値、また、DST0とDST1は、図10の比較回路103に入力される2ビットで表した設定遅延量、FSTは、図10における比較回路103からメモリ回路101に送出されるセル読み出し同期信号、そして、CELOは、図10におけるセルバッファ100からの出力であり、各セルの斜線部分のビットはセル先頭ビットである。

【0042】本実施例は、設定遅延量(DST)を、基準クロックCKBの1周期であるT_bとし、図10のカウンタ102の最大値が「4」の場合とした場合である。このような条件では、図10のカウンタ102に、カウント有効同期信号FCTが入力され、基準クロックCKBが1回入力された後、図10のカウンタ102の値は「1」となり、設定した遅延時間となる。この時、図10の比較回路103からは、セル読み出し同期信号FSTが発生され、図10のメモリ回路101へ出力され、図10のメモリ回路101では、このセル読み出し

同期信号FSTを基に、セルCELOを出力する。以上の動作により、図10のセルバッファ100からのセルの出力を、基準クロックCKBの1周期に相当するT_b時間だけ遅延させることができる。

【0043】以上、図1～図11を用いて説明したように、本実施例のATMスイッチでは、空間スイッチのセル転送において、各セルバッファは、セルの転送を、各セルバッファ毎に異なるセル転送周期で行ない、セル衝突を回避する。このことにより、セルバッファで、(出回線上の通過又点スイッチ数の違いから生じる遅延時間差を補償するための)セル送出を行なわないガードタイムを設ける必要が無く、回線の高速化に伴うスイッチのスループットの低下を回避できる。尚、本発明は、図1～図11を用いて説明した実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

【0044】

【発明の効果】本発明によれば、従来、セルの衝突を避けるために必要であった、出回線上の通過又点スイッチ数の違いから生じる遅延時間差の補償が不要となり、セルバッファからセルを連続して出力して、高いスイッチスループット特性を得ることができ、回線の高速化が可能である。

【0045】

【図面の簡単な説明】

【図1】本発明に係わるセルバッファの構成の第1の実施例を示すブロック図である。

【図2】本発明のATMスイッチの本発明に係わる構成の第1の実施例を示すブロック図である。

【図3】図2におけるセルバッファの本発明に係わる構成の第2の実施例を示すブロック図である。

【図4】図2におけるATMスイッチの本発明に係わるセルの送出動作を示すタイムチャートである。

【図5】図5は、本発明のATMスイッチの本発明に係わる構成の第2の実施例を示すブロック図である。

【図6】図5におけるセルバッファの本発明に係わる構成の第1の実施例を示すブロック図である。

【図7】図6におけるセルバッファの本発明に係わるセルの送出動作を示すタイムチャートである。

【図8】図5におけるセルバッファの本発明に係わる構成の第2の実施例を示すブロック図である。

【図9】図8におけるセルバッファの本発明に係わるセルの送出動作を示すタイムチャートである。

【図10】図5におけるセルバッファの本発明に係わる構成の第3の実施例を示すブロック図である。

【図11】図10におけるセルバッファの本発明に係わるセルの送出動作を示すタイムチャートである。

【図12】従来のATMスイッチの構成を示すブロック図である。

【図13】図12におけるATMスイッチのセルの送出

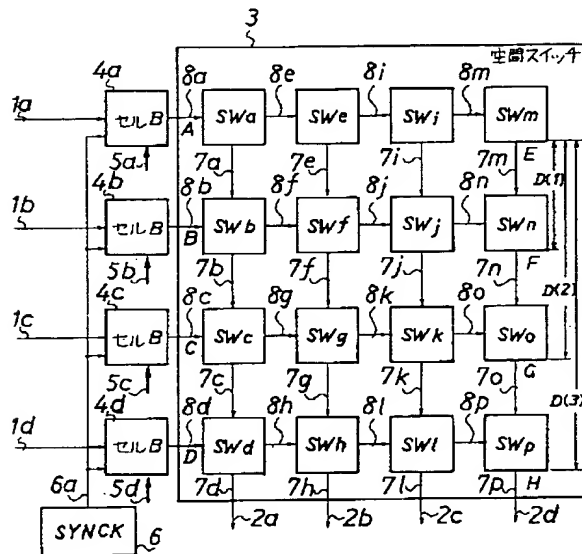
動作例を示すタイムチャートである。

【図14】図13におけるセルの衝突を回避するための動作例を示すタイムチャートである。

【符号の説明】

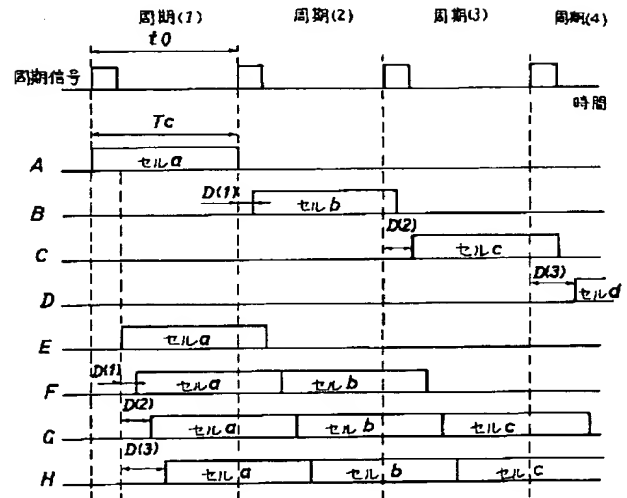
- 1 a～1 d 入回線
- 2 a～2 d 出回線
- 3 空間スイッチ
- 4 a～4 d セルバッファ
- 5 a～5 d 制御線
- 6 同期信号発生回路
- 6 a 制御線
- 7 a～7 p 内部リンク
- 8 a～8 p 内部リンク
- 9 a～9 d セルバッファ
- 10 基準クロック発生回路
- 11 制御線
- 12 a～12 d セルバッファ
- 20 セルバッファ
- 21 メモリ回路
- 22 遅延回路
- 23 制御線

【図1】

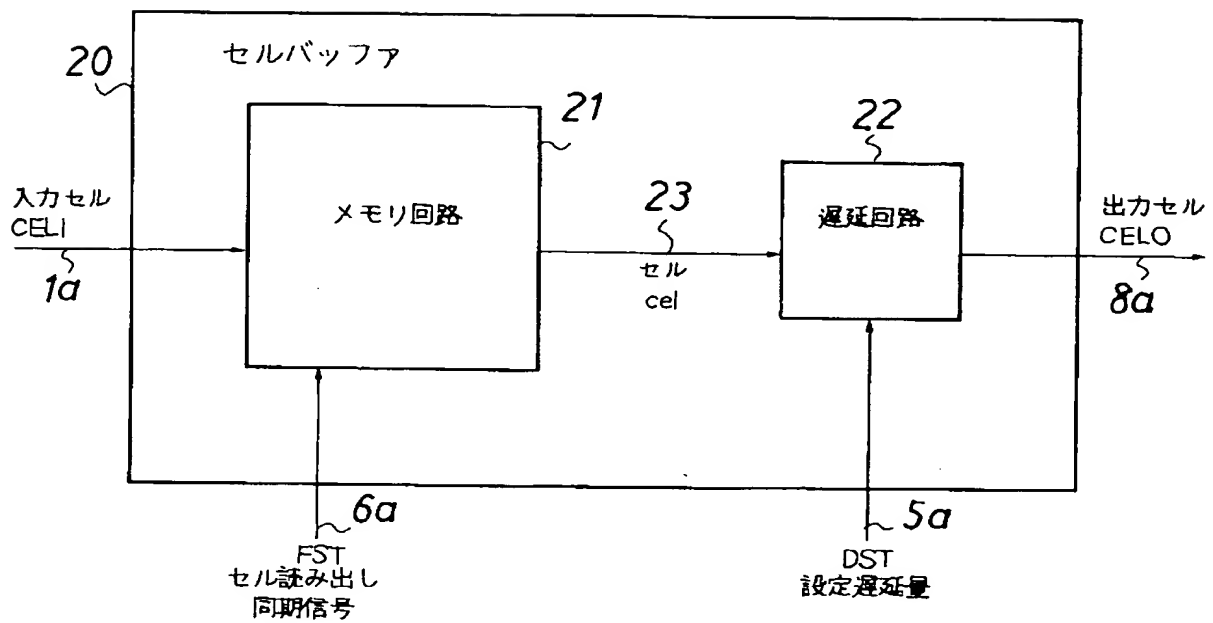


- 30 セルバッファ
- 31 メモリ回路
- 32 遅延回路
- 33 制御線
- 60 セルバッファ
- 61 メモリ回路
- 62 シフトレジスタ
- 63 セレクタ
- 64～68 制御線
- 10 80 セルバッファ
- 81 メモリ回路
- 82 シフトレジスタ
- 83 セレクタ
- 84～88 制御線
- 100 セルバッファ
- 101 メモリ回路
- 102 シフトレジスタ
- 103 セレクタ
- 104、105 制御線
- 20 A～H セル
- SWa～SWp 叉点スイッチ

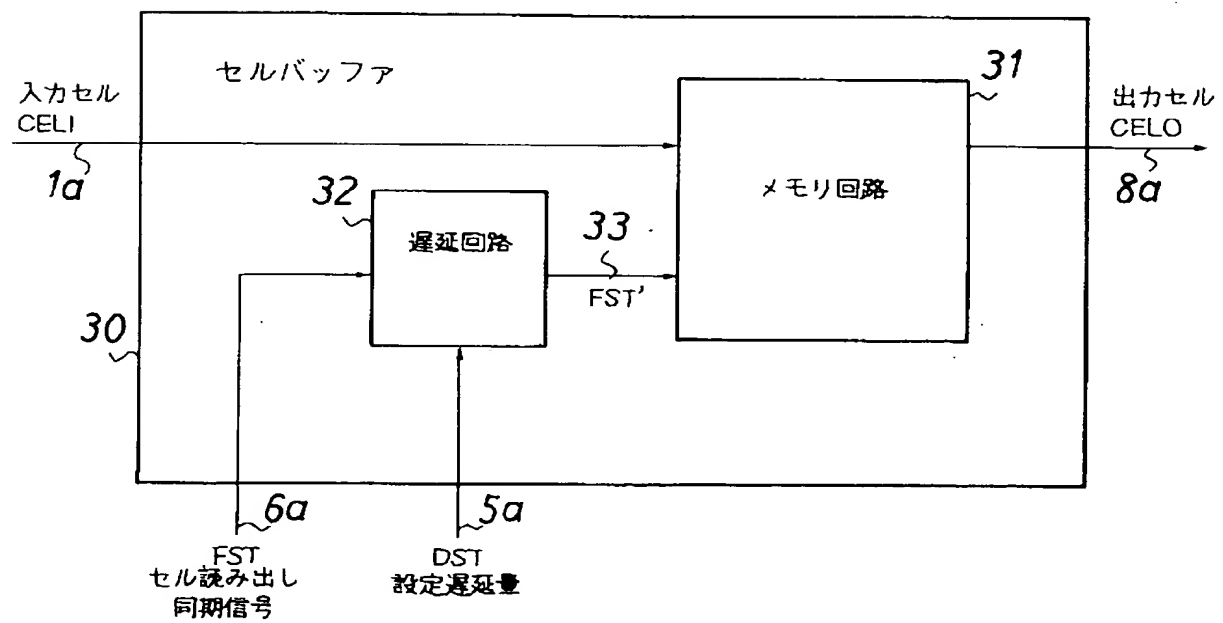
【図4】



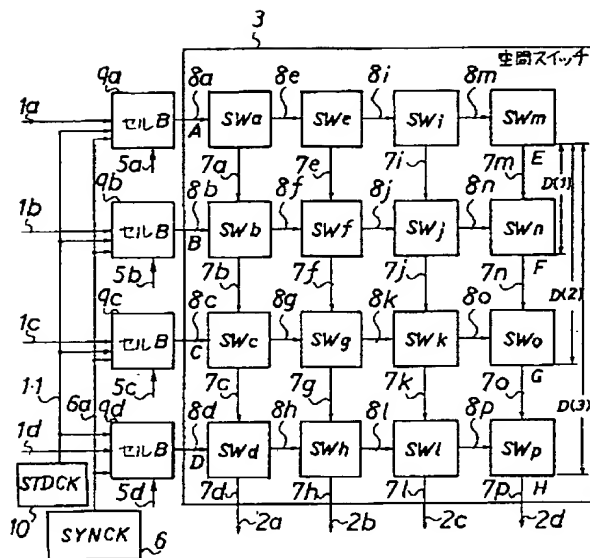
【図2】



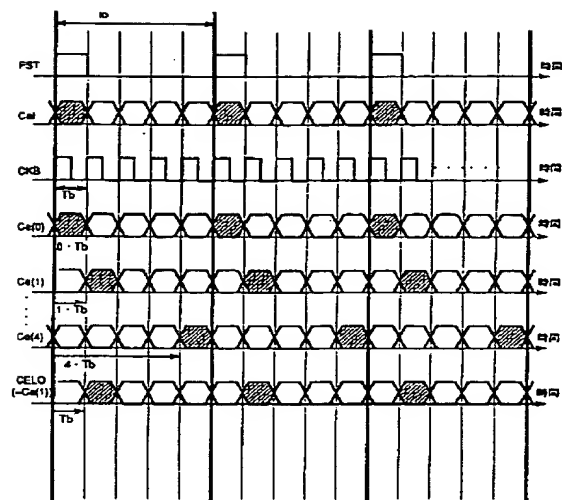
【図3】



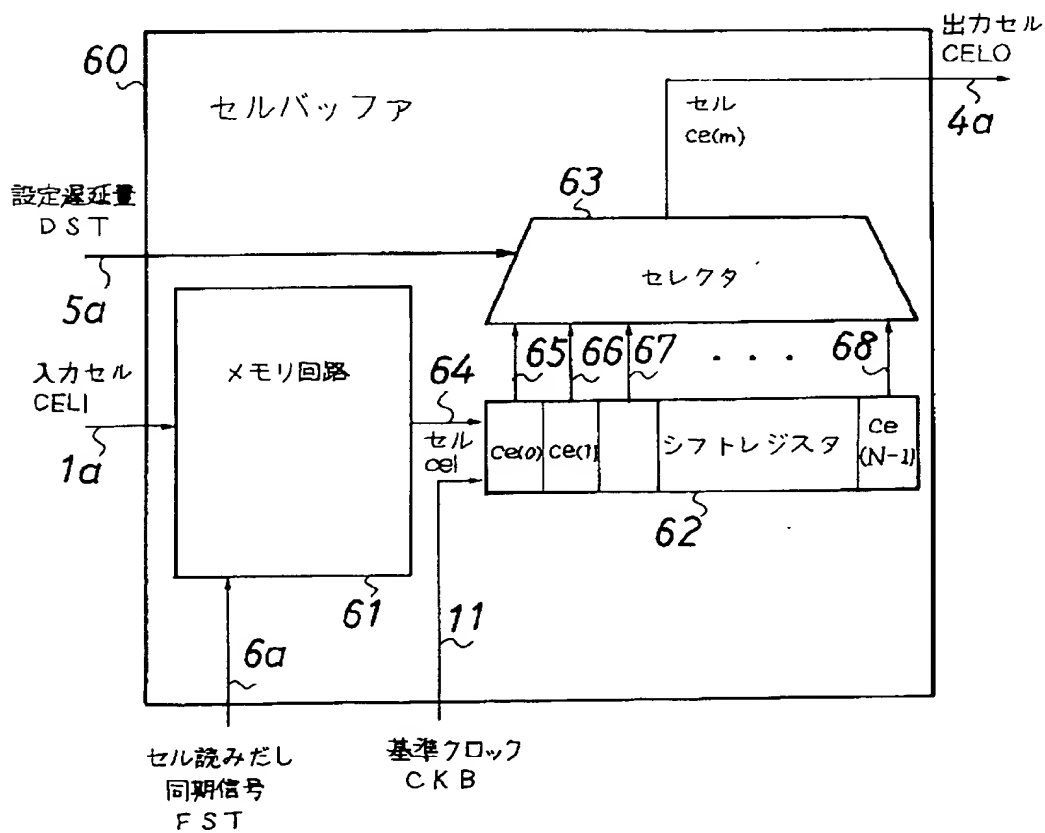
【図5】



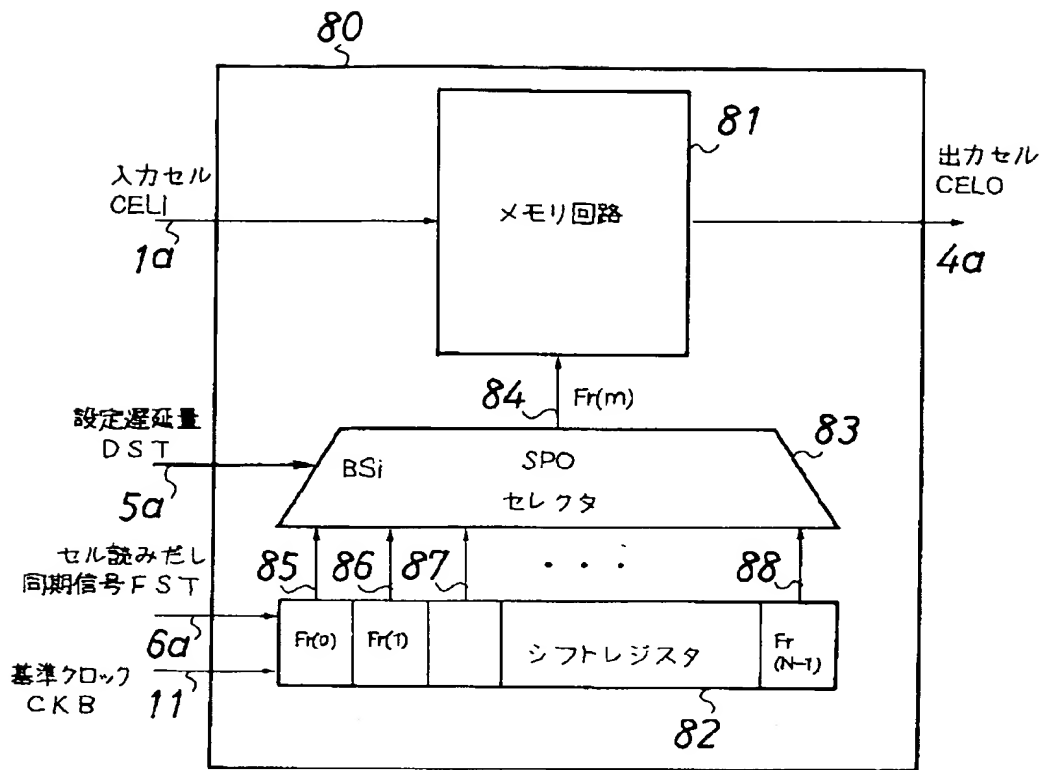
【図7】



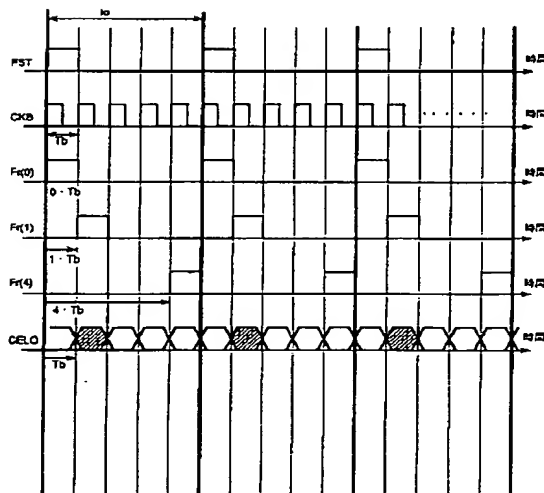
【図6】



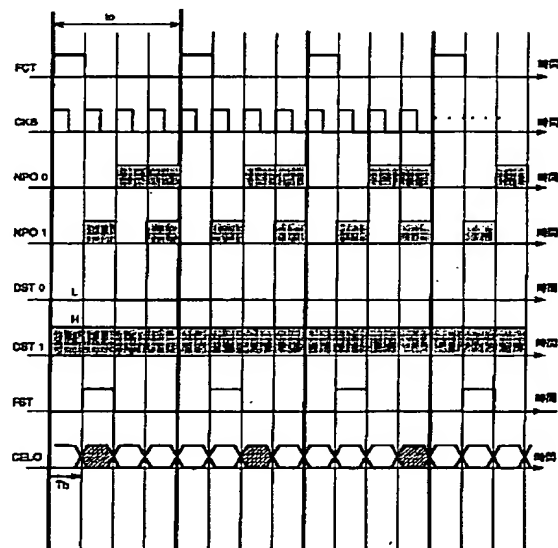
【図8】



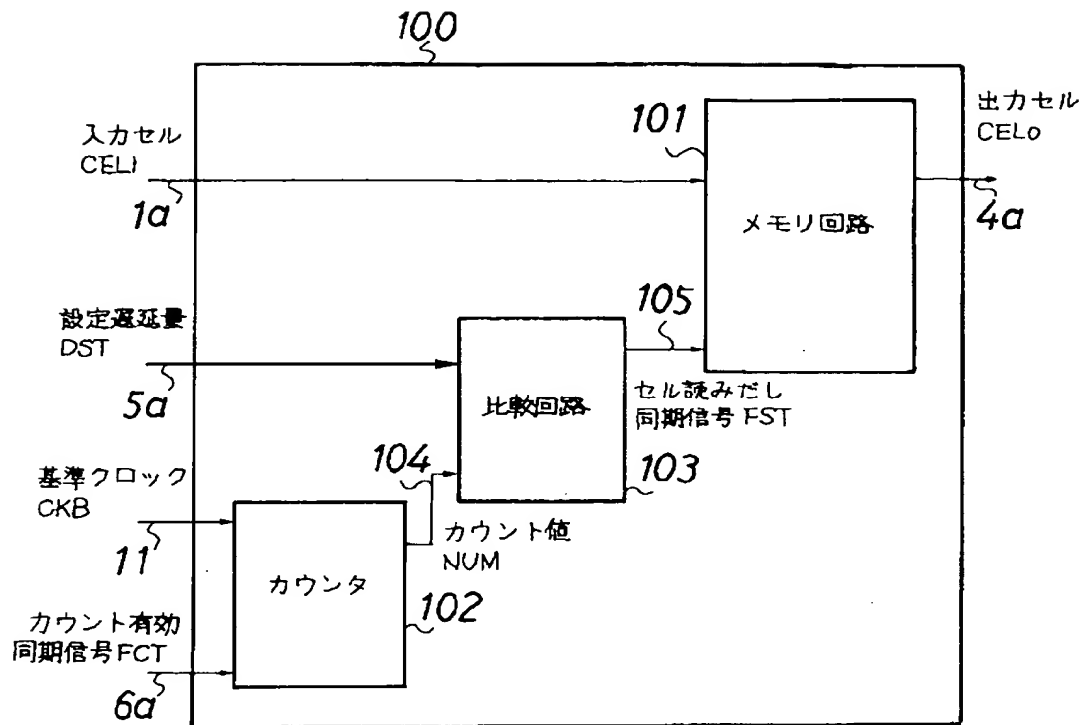
【図9】



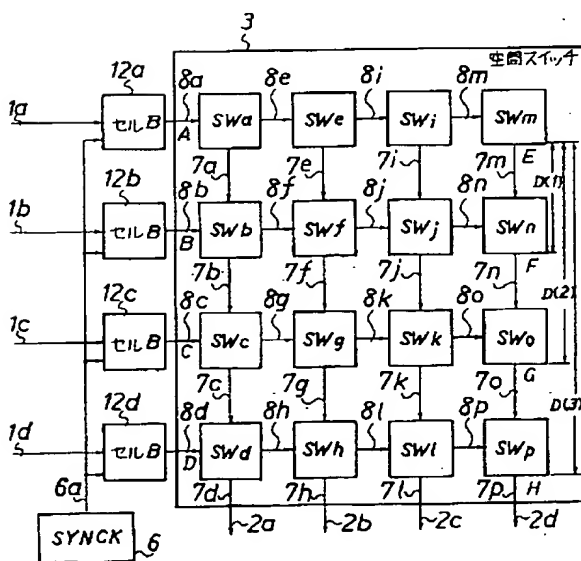
【図11】



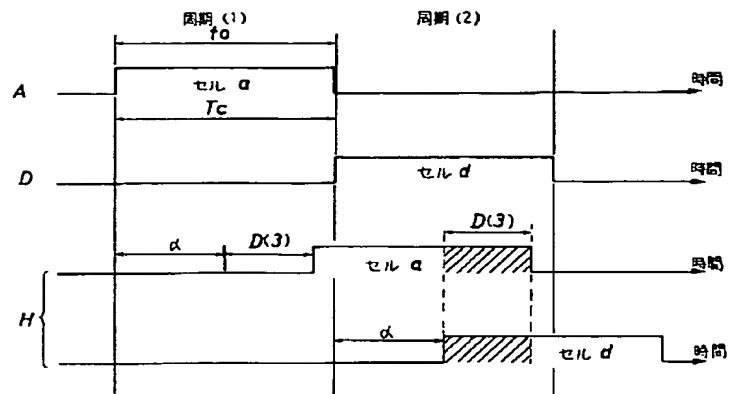
【図10】



【図12】



【図 1 3】



【図 1 4】

